

ПОДКЛАССЫ И СИСТЕМНЫЕ ОГРАНИЧЕНИЯ В СТАНДАРТЕ JESD204B. ЧАСТЬ 2

ДЕЛ ДЖОНС (DEL JONES), инженер по приложениям

В Части 1 этой статьи [1] мы рассмотрели три подкласса и детерминированную задержку, представленные в стандарте JESD204B. В Части 2 мы подробнее остановимся на различиях между подклассами 1 и 2. В частности, определим основные трудности на пути выполнения требований к временным соотношениям при использовании детерминированной задержки, ограничения на тактовый сигнал устройств подкласса 2 и дадим рекомендации по выбору подкласса с учетом нужд приложения.

ПОДКЛАСС 1

В системе подкласса 1 точность детерминированной задержки зависит от временных соотношений между тактовым сигналом устройства и сигналом SYSREF, а также от фазовых соотношений при распределении этих сигналов по системе. При определении требований приложения к расинхронизации (обусловленной фазовым сдвигом) между тактовым сигналом устройства и SYSREF критичными являются не только требования ко времени установления данных (t_{SU}) и времени удержания (t_{HOLD}) SYSREF, но и допустимая величина неопределенности детерминированной задержки.

Точный захват сигнала SYSREF

Преобразователи, использующие интерфейс JESD204B дискретизируют данные с высокой скоростью. Чтобы уменьшить фазовый шум в системе, эти преобразователи, как правило, используют опорный тактовый сигнал (аналог тактового сигнала устройства в JESD204) с более высокой или низкой частотой выборки. Во многих случаях этот тактовый сигнал

находится в гигагерцовом диапазоне. При таких скоростях очень трудно соблюсти требования ко времени установления данных и времени удержания. Чтобы облегчить проектирование системы, необходимо запрограммировать фазовый сдвиг сигнала SYSREF и тактового сигнала для каждого устройства системы JESD204B.

Одно из преимуществ систем подкласса 1 над системами подкласса 2 является использование синхронного тактирования источника сигнала. Приложение подкласса 2, в котором применяется системное синхронное тактирование, быстрее сталкивается с частотными ограничениями по сравнению с тем приложением, где используется синхронное тактирование источника сигнала. Это становится очевидным на примерах выбора временных режимов подклассов 1 и 2.

Неопределенность временной задержки

Неопределенность детерминированной задержки – расинхронизация локального тактового сигнала для мультикадров (LMFC) в системе JESD204B – представляет собой

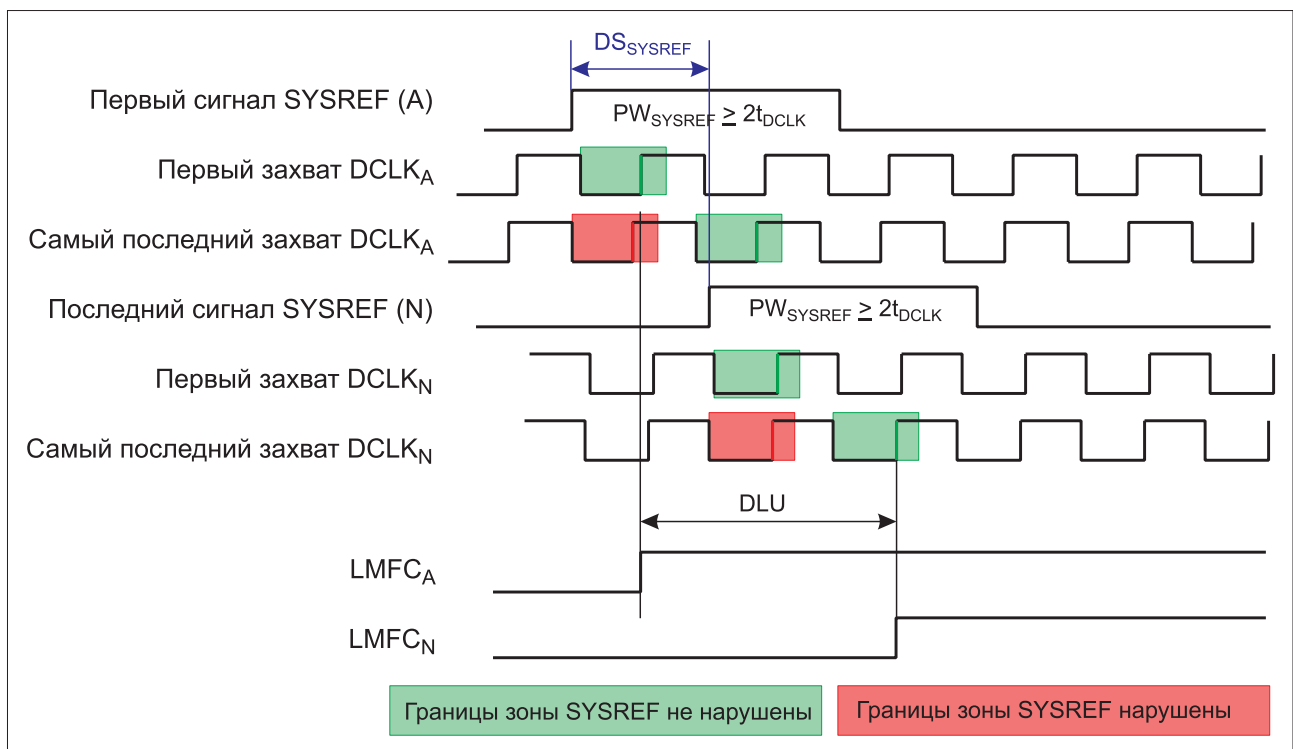


Рис. 8. Неопределенность детерминированной задержки (DLU) в наихудшем случае

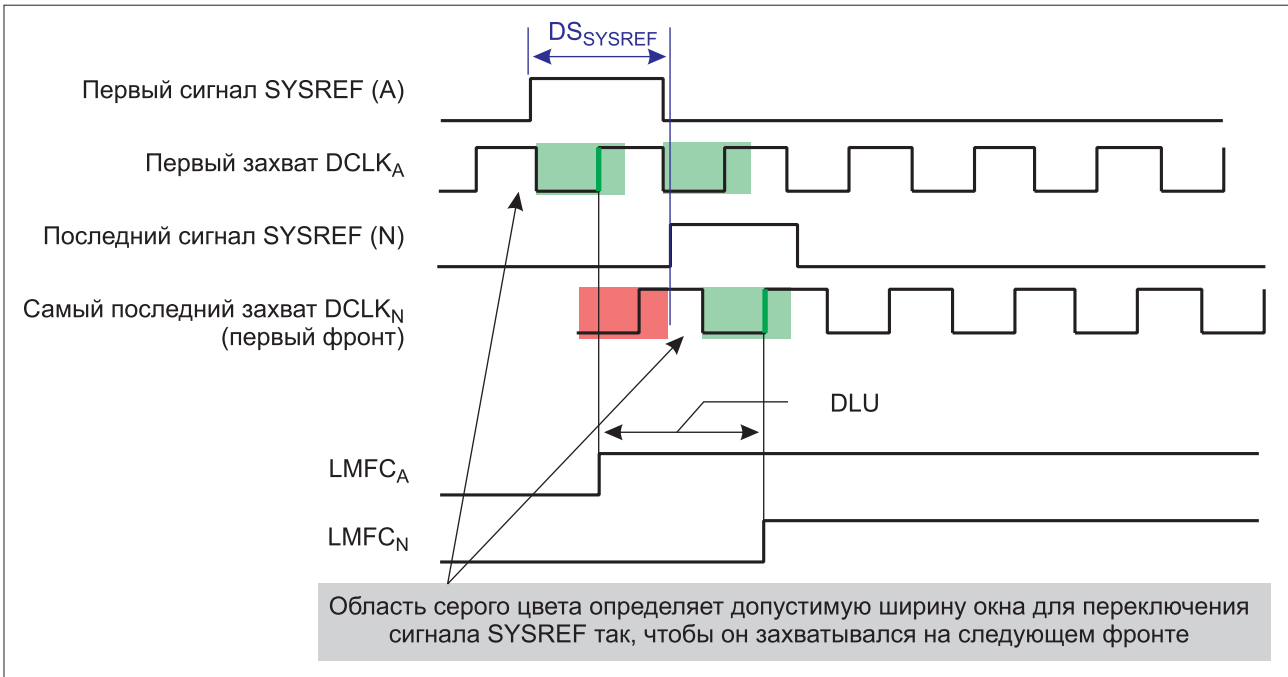


Рис. 9. Неопределенность детерминированной задержки SYSREF с учетом времени установления и времени удержания

разность между самым первым и самым последним захватом SYSREF в системе. Рисунок 8 иллюстрирует наихудший вариант неопределенности временной задержки, когда не выполнены требования ко времени установления и времени удержания при захвате SYSREF для каждого устройства системы. (Для простоты иллюстрации понятия DLU мы не рассматриваем джиттер тактового сигнала и вариации PVT, обусловленные различиями между техпроцессами, изменениями напряжения и температуры). Так происходит, когда сдвиг фазы при распространении тактовых сигналов устройств в системе не контролируется и вызывает неоднозначность тактового сигнала (DCLK) одного устройства. В результате увеличивается рассинхронизация, обусловленная фазовым сдвигом сигнала SYSREF (DS_{SYSREF}), и суммарная неопределенность детерминированной задержки (DLU) становится равной:

$$DLU = DS_{SYSREF} + t_{DCLK}$$

DS_{SYSREF} – разность между временем поступления в систему самого первого сигнала SYSREF (на всех устройствах этой системы) и последним поступившим сигналом SYSREF. На рисунке 8 время $t_{SU} = 1/2 t_{DCLK}$, а время $t_{HOLD} = 1/4 t_{DCLK}$. Самый первый поступивший сигнал SYSREF (A) захватывается за минимально возможное время ($DCLK_A$ отвечает требованию ко времени установления), а самый последний поступивший сигнал SYSREF (N) захватывается за как можно более длительное время ($DCLK_N$ не отвечает требованию ко времени установления). Таким обра-

зом, соответствующие сигналы LMFC смещены на величину $DS_{SYSREF} + t_{DCLK}$.

Во многих приложениях требования к величине DLU таковы, что этот наихудший сценарий является приемлемым. Для этих приложений нет необходимости жестко контролировать фазовый сдвиг, возникающий при распределении тактового сигнала. Достаточно того, чтобы ширина импульса SYSREF $\geq 2t_{DCLK}$, а фазовый сдвиг при распределении SYSREF отвечал требованию к системному временному режиму.

В приложениях, где неприемлема дополнительная неопределенность тактового сигнала устройств, рассинхронизация при распределении тактового сигнала устройства жестко контролируется так, чтобы выполнялись требования

временного режима к SYSREF на каждом устройстве системы. Этот случай иллюстрируется рисунком 9, а неопределенность DLU рассчитывается с помощью следующего уравнения:

$$DLU = DS_{SYSREF} + t_{Valid Window}$$

где $t_{Valid Window} = t_{DCLK} - (t_{SU} + t_{HOLD})$.

Минимизация неопределенности детерминированной задержки

Как следует из уравнения для неопределенности детерминированной задержки, величину DLU можно свести к минимуму, если добиться того, чтобы времена установления и удержания

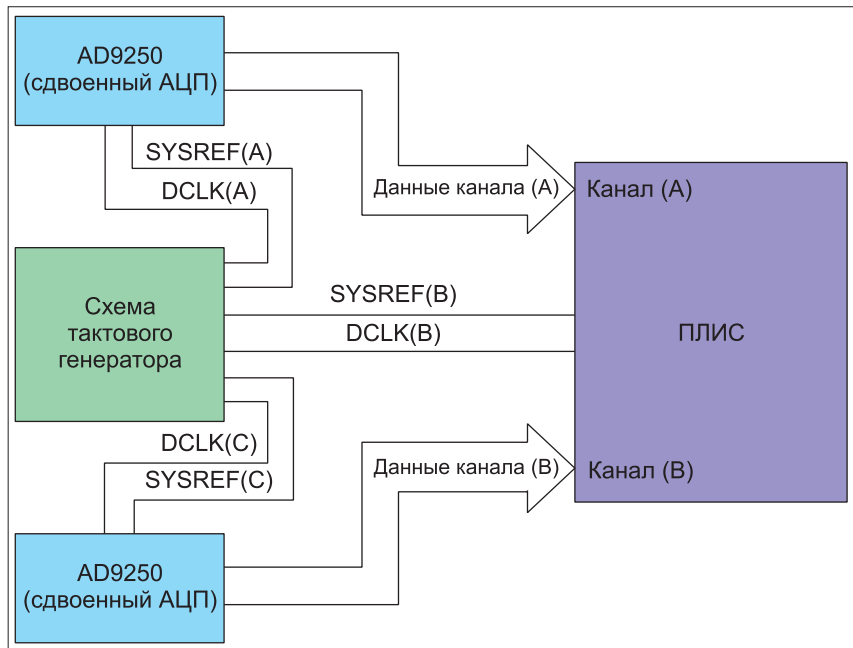


Рис. 10. Прохождение сигналов SYSREF и DCLK в системе с тремя устройствами

отвечали требованиям каждой пары SYSREF/DCLK, а также путем минимизации фазового сдвига между этими парами при распространении сигналов.

Чтобы выполнялись требования ко времени установления и времени удержания, у каждого устройства в системе JESD204B должно быть свое соотношение длительности сигналов SYSREF/DCLK. В каждой из этих пар длины проводников согласуются так, чтобы обеспечивался требуемый временной режим. Величина этого согласования ограничивается допустимой шириной окна (временем) на переключение SYSREF. Кроме того, SYSREF необходимо вывести с помощью фронта захвата сигнала DCLK; длина SYSREF должна превышать длину DCLK в соответствии с требованием ко времени удержания (если $t_{\text{HOLD}} = 0$, эти длины могут быть одинаковыми).

Поскольку согласуются длины проводников, минимизация фазового сдвига в паре, возникающего при распределении сигналов, по сути, та же самая, что и минимизация фазового сдвига при распространении SYSREF. Предельным значением этого фазового сдвига, которое равно предельному значению DLU за вычетом ширины допустимого окна, тоже можно управлять путем согласования длин проводников. Предельное значение DLU задается в соответствии с требованиями приложения.

Эти методы минимизации DLU показаны на рисунке 10. Поскольку у каждого устройства в системе JESD204B – собственная пара SYSREF/DCLK, выполнение требований к временному режиму для захвата SYSREF то же, что и в любой системе, которая использует синхронизируемый источник сигнала. Временные границы сигналов для каждого устройства рассматриваются независимо от других устройств системы.

Пример расчета временного режима SYSREF

AD9250–14-бит двоянный АЦП с частотой выборки 250 Мвыб/с и после-

довательным выходным интерфейсом JESD204B, который работает на частоте 5 Гбит/с. Для максимального увеличения эффективности ФАПЧ АЦП AD9250 работает на частоте до 1,5 ГГц. Этот преобразователь представляет собой отличный пример того, как выполняются требования к таймингу сигнала SYSREF путем подбора соответствующих длин проводников при самом строгом требовании системы к величине неопределенности детерминированной задержки. В наихудшем случае для соблюдения временных соотношений SYSREF величина DLU равна периоду тактового сигнала устройства.

В рассматриваемом примере:

$$DCLK = 1,5 \text{ ГГц (период: } 667 \text{ пс)}, \\ t_{\text{SU}} = 500 \text{ пс, а } t_{\text{HOLD}} = 0 \text{ пс.}$$

Максимальная величина DLU = 1 DCLK (667 пс).

Согласование длины парных проводников при расчете тайминга SYSREF

На основе действующих спецификаций допустимая ширина окна для соответствия требованиям ко времени установления данных и времени удержания составляет 167 пс (667 пс – 500 пс). Время прохождения сигнала SYSREF определяется как интервал между моментом, когда сигнал покинул источник, и моментом, когда сигнал поступил в приемник. Если время прохождения сигнала SYSREF за вычетом времени прохождения DCLK не превышает 167 пс, выполняется требование ко времени установления и ко времени удержания (больше 0 пс). При достаточно приблизительном представлении этой разницы между значениями времени прохождения сигналов в дюймах время прохождения сигнала по 1 дюйму стеклотекстолита составляет 167 пс. Таким образом, для каждой пары сигналов SYSREF/DCLK в системе необходимо выполнить следующее требование:

Длина проводника с DCLK < длина проводника с SYSREF < длина проводника с DCLK + 1 дюйм

Как видно из рисунка 11, выполнение этого требования обеспечит переключение SYSREF в допустимое временное окно.

Согласование длин проводников в парах SYSREF/DCLK

Поскольку максимальное значение неопределенности детерминированной задержки задано равным 667 пс и нам известно соотношение между этим значением и рассинхронизацией в парах SYSREF/DCLK (DS_{SYSREF}), легко найти соответствующее предельное значение длины проводников. Для этого сначала рассчитываем величину DS_{SYSREF} :

$$DS_{\text{SYSREF}} = DLU - t_{\text{valid Window}} = \\ = 667 \text{ пс} - 167 \text{ пс} = 500 \text{ пс.}$$

Следовательно, рассинхронизация во всех парах SYSREF/DCLK находится в пределах:

$$500 \text{ пс} / 167 \text{ пс/дюйм} = 3 \text{ дюйма.}$$

Заметим, что 500 пс – наихудшее значение рассогласования SYSREF, которое используется для расчета предельной величины длин проводников при их согласовании.

На рисунке 12 представлены временные соотношения в рассматриваемом примере. Наилучшее значение фазового сдвига (DS_{SYSREF}) достигается в случае, когда требование к согласованию длин проводников наименее строгое.

Тайминг SYSREF и предельное значение DL

Требования к таймингу SYSREF и предельному значению DLU можно выполнить, используя более медленный тактовый сигнал устройства, чтобы упростить согласование длины. Такое решение достигается за счет ухудшения характеристик фазового шума системы.

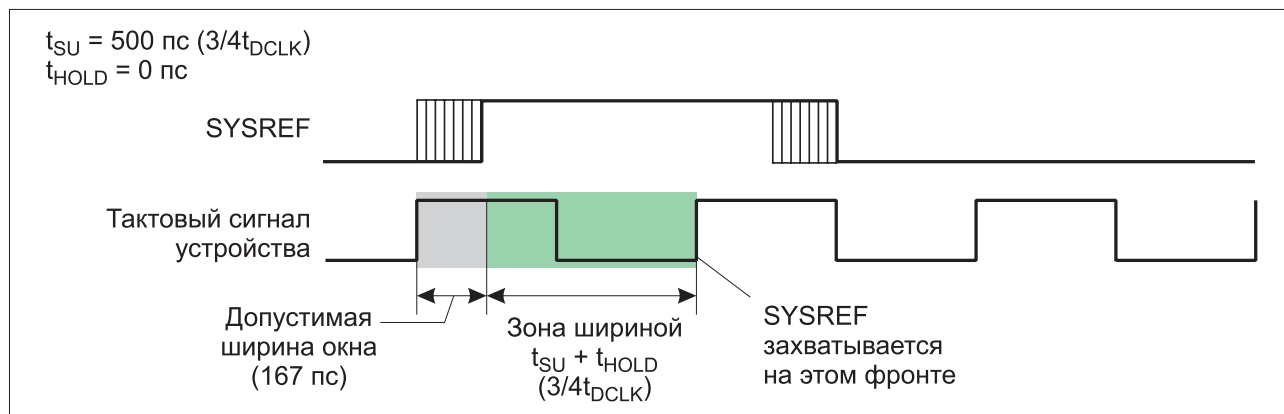


Рис. 11. Выполнение требования к временному соотношению SYSREF/DCLK

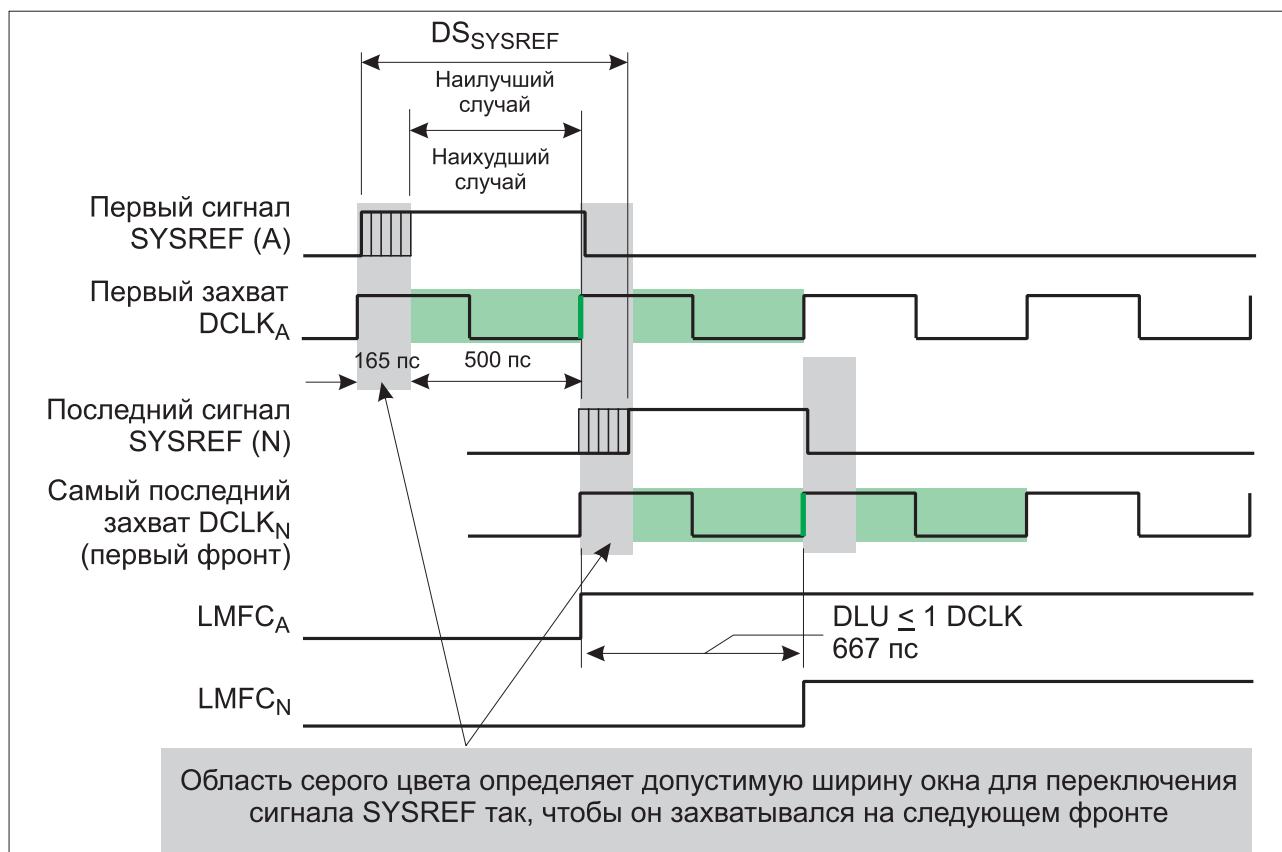


Рис. 12. Выполнение требования к рассинхронизации в парах SYSREF/DCLK

Если также смягчить требование к величине DLU, характеристики фазового шума системы не ухудшатся.

Реализация требования к DLU зависит от приложения. Мы обсудим ее с точки зрения точности детерминированной задержки. Если необходимо, чтобы характеристики фазового шума были лучшими, а требования к DLU не смягчались, может оказаться слишком трудным обеспечить заданный фазовый сдвиг в парах SYSREF/DCLK внутри устройств и между ними (1 и 3 дюйма, соответственно). В этом случае регулируется фазовый сдвиг тактового сигнала устройства и SYSREF. Разрешение такой регулировки не должно превышать допустимой величины окна, рассчитанной на основе времени установления и удержания. В нашем примере она составляет 167 пс.

Некоторым ПЛИС трудно обеспечить регулирование фазовой задержки с малым шагом. Однако двухкаскадная

схема ФАПЧ AD9528 удовлетворяет этому требованию, регулируя фазовую задержку SYSREF с шагом 60 пс с вариативностью менее чем 50 пс на всех выходах.

На рисунке 13 показано, как задерживать сигнал SYSREF, чтобы выполнить требования к временным соотношениям. SYSREF задерживается с шагом в 60 пс. Рекомендуется выбрать такую фазу, при которой фронт SYSREF находится рядом с серединой допустимого временного окна. Зеленые края иллюстрируют правильный выбор фазы, а красные соответствуют плохим настройкам. В рассматриваемом примере следует использовать фазу 3 посередине окна.

Устройство AD9528 не только обеспечивает фазовый шаг величиной 60 пс на выходах SYSREF, но и фазовую задержку на выходах синхросигнала в половину тактового цикла устройства. Эта функция также используется для выполнения требований к таймингу SYSREF.

Мониторинг времени установления и задержки SYSREF

АЦП AD9680 компании Analog Devices позволяет реализовать схемы мониторинга времени установления и удержания сигнала SYSREF для регулировки временных соотношений между SYSREF и тактовым сигналом устройства. Контролируя два этих регистра, пользователь определяет, не нарушаются ли требования по времени для захвата SYSREF. Если один из этих регистров сигнализирует о недостаточности временных интервалов, возникает необходимость в регулировке положения SYSREF относительно тактового сигнала устройства. Эта настройка осуществляется либо путем изменения фазы SYSREF относительно тактового сигнала устройства (например, с помощью схемы AD9528), либо путем изменения длины проводников с сигналом SYSREF или с тактовым сигналом устройства.

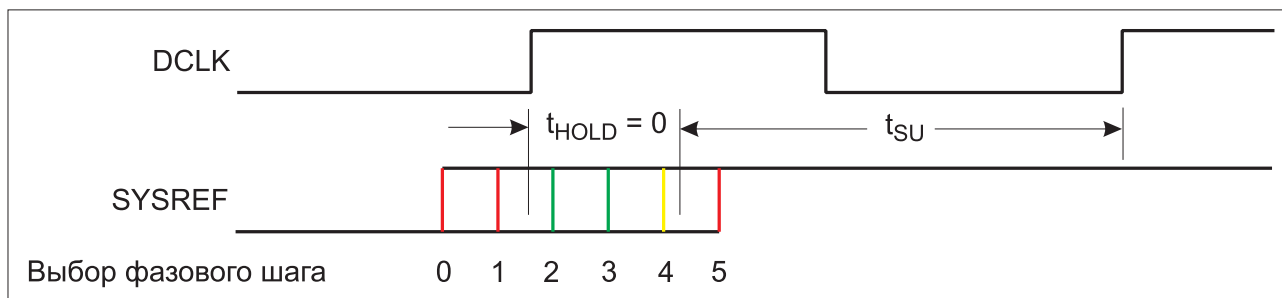


Рис. 13. Программируемая фазовая задержка сигнала SYSREF при заданном тайминге

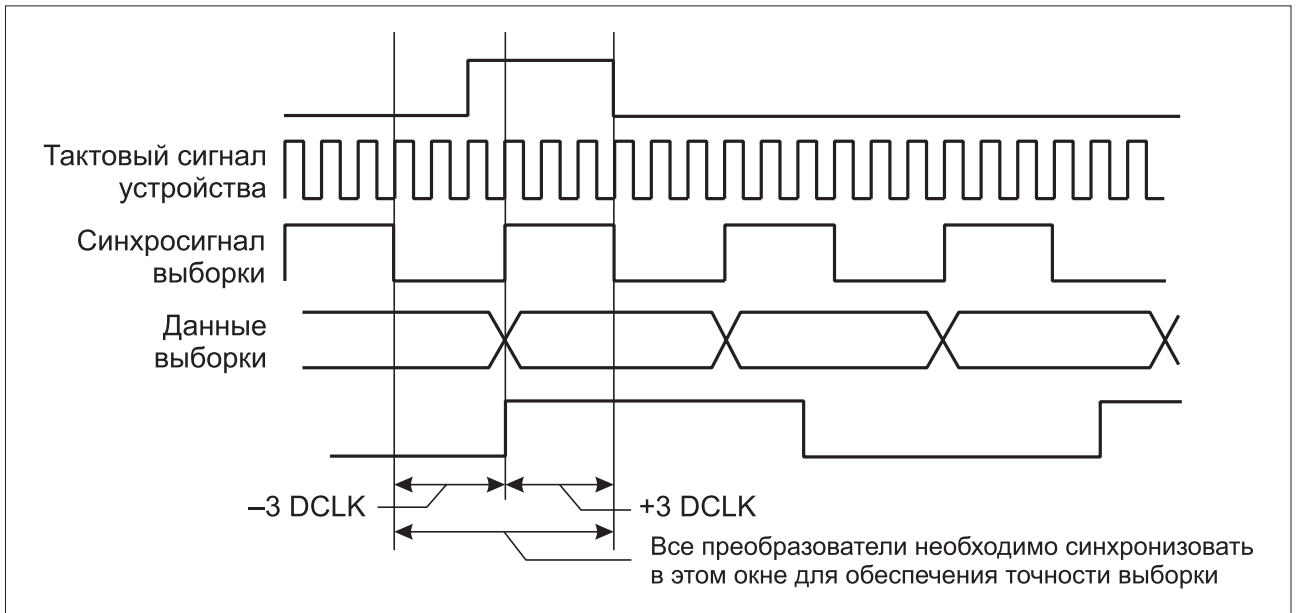


Рис. 14. Требование к точности выборки для захвата сигнала SYSREF

Точность определения детерминированной задержки

Чтобы лучше понять, как задается неопределенность детерминированной задержки системы, следует исходить из особенностей приложения. Для создания большинства систем с детерминированной задержкой необходимо точно знать, какая выборка отмечает начало данных, представляющих интерес.

Обычно детерминированная задержка используется для синхронизации нескольких преобразователей в системе. В таких системах требуется синхронизовать выборки всех преобразователей. Следовательно, детерминированная задержка должна в точности соответствовать выборке. В этих системах величина DLU должна с некоторым допуском равняться половине частоты дискретизации.

Преимущество наличия тактовой частоты устройства, кратной тактовой частоте дискретизации, заключается в упрощении захвата сигнала SYSREF таким образом, чтобы обеспечива-

лась точность отсчета. Например, при использовании АЦП AD9250 тактовая частота устройства в шесть раз превышает тактовую частоту выборки. Для обеспечения точности интервалов выборки требования к величине DLU изменяются до ±3 тактовых импульсов устройства (см. рис. 14).

Наш пример с АЦП AD9250 показал, что даже самые строгие требования к DLU можно легко выполнить путем регулировки фазы SYSREF на каждом устройстве. Если тактовый сигнал устройства кратен тактовому сигналу выборки, захват SYSREF для обеспечения точности выборки значительно упрощается. По мере увеличения частоты дискретизации преобразователей до 1 Гбит/с и выше возрастает ценность регулировки фазовой задержки SYSREF и тактовых сигналов устройства.

Возможные трудности захвата сигнала SYSREF

Бывает не только трудно выполнить требования ко времени установления,

времени удержания SYSREF и к DLU, но и обеспечить корректный захват SYSREF. Например, при первоначальном включении системы сигнал SYSREF может стать активным до установления системных тактовых сигналов. Так происходит при использовании непрерывного сигнала SYSREF. Эта проблема решается включением в интерфейс JESD204В функции программирования, которая позволяет устройству повременить с синхронизацией тактовых сигналов до прохождения определенного количества фронтов.

Кроме того, программирование позволяет осуществить захват SYSREF при поступлении подходящего фронта. Таким образом, устанавливается контроль над началом синхронизации с непрерывным сигналом SYSREF. Эти функции имеются у ряда преобразователей компании ADI с интерфейсом JESD204В, в т. ч. у АЦП AD9625 и AD9680.

Приведем другой пример. Небольшие изменения в сигнале SYSREF могут привести к нежелательной повторной

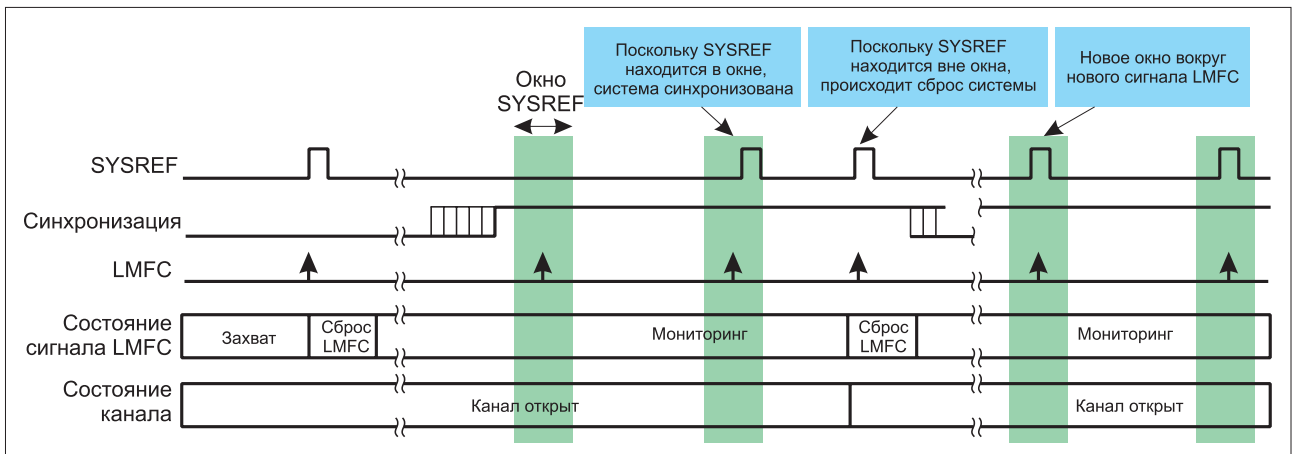


Рис. 15. Окно для мониторинга сигнала SYSREF

синхронизации. Чтобы этого не произошло, в интерфейс JESD204B включается функция программирования, позволяющая определить подходящее окно в окрестностях LMFC-сигналов для фронта SYSREF. Если SYSREF находится в пределах этого временного окна, система считается синхронизированной. Это очень полезная функция, поскольку многие приложения отслеживают непрерывный сигнал SYSREF для определения состояния канала. В таком случае граница сигнала LMFC сравнивается с SYSREF, чтобы определить состояние синхронизации. АЦП AD9680 реализует эту функцию, как видно из рисунка 15.

К другим полезным функциям, облегчающим захват SYSREF, относится способность изменить фронт тактового сигнала устройства, используемый для захвата SYSREF, и фронт SYSREF для синхронизации с LMFC-сигналом.

ПОДКЛАСС 2

В системе подкласса 2 точность детерминированной задержки зависит от временного соотношения между тактовым сигналом устройства и сигналами SYNC~, а также от ряда причин, из-за которых временной бюджет уменьшается. Как и в случае с подклассом 1, допуск приложения на неопределенность детерминированной задержки имеет решающее значение при определении требований приложения к согласованию длины проводников с сигналами SYNC~ и тактовым сигналом устройства.

Точность захвата и запуска сигнала SYNC~

Реализация требований к таймингу для точного захвата SYNC~, по сути, схожа с задачей захвата SYSREF для устройств подкласса 1. Однако поскольку схема тактирования в подклассе 2 является системно синхронной, можно отказаться от временного анализа на каждом устройстве захвата независимо от других устройств. В приложении с несколькими преобразователями эта задача усложняется. Кроме того, следует учитывать неопределенность, обусловленную запуском сигнала SYNC~.

Каждое устройство в системе, которое использует системное тактирование, потребляет часть временного бюджета. В частности, он уменьшается из-за фазового сдвига при распределении тактовых импульсов (DS_{DCLK}), фазового сдвига при распределении сигнала SYNC~ (DS_{SYNC}) в системах с несколькими преобразователями, задержки распространения сигнала SYNC~, требования ко времени установления и времени удержания для каждого передатчика JESD204B, а также в результате задержки на выводе SYNC~ каждого приемника.

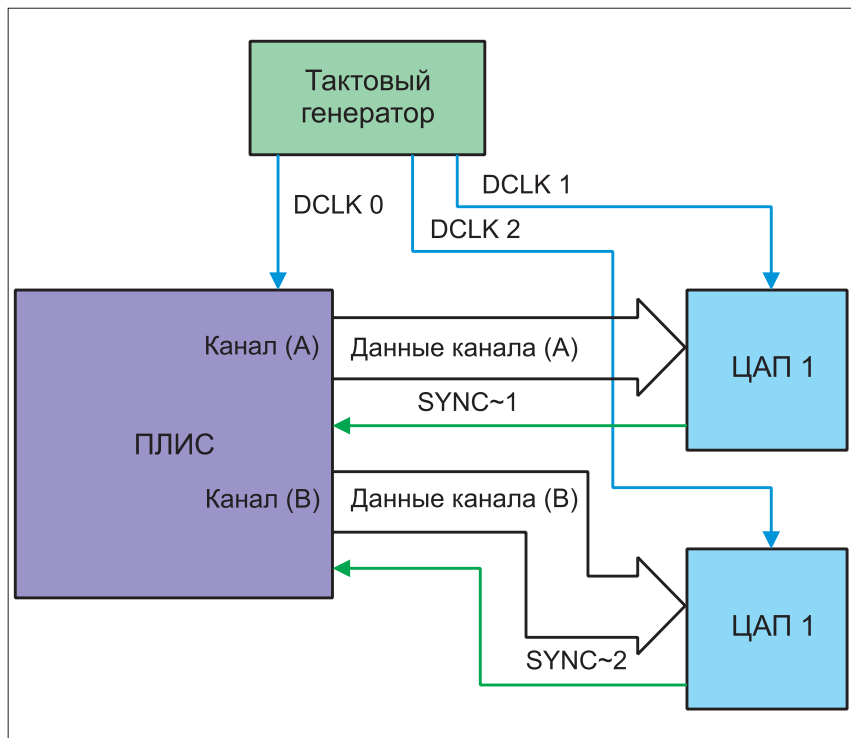


Рис. 16. Приложение с двумя ЦАП подкласса 2

Верхний предел для тактового сигнала устройств подкласса 2

Стандарт JESD204B признает, что реализация системы подкласса 2 налагает ограничение на тактовую частоту устройства из-за используемой схемы тактирования всей системы. Приложение B в стандарту определяет, что этот предел составляет 500 МГц: «Поскольку SYSREF является источником синхронного сигнала, который может генерироваться точно по фазе с тактовым сигналом устройства, предполагается, что разработчик системы с тактовой частотой устройств выше 500 МГц предпочтет воспользоваться решением для подкласса 1».

Давайте рассмотрим подробный пример расчета времени, чтобы понять, почему возникает такое ограничение.

Пример расчета тайминга нескольких ЦАП подкласса 2

Мы рассмотрим приложение с передатчиком, использующее два устройства ЦАП подкласса 2, которые подключены к одному логическому устройству (см. рис. 16).

Будем считать, что тактовая частота устройства составляет 500 МГц. Рассинхронизация сигналов DCLK и SYNC~ при их прохождении по проводникам печатной платы составляет:

- между тактовым сигналом и ПЛИС – 300 пс;
- между тактовым сигналом и ЦАП 1 – 600 пс;
- между тактовым сигналом и ЦАП 2 – 720 пс;

- между сигналом SYNC~1 и ПЛИС – 660 пс;
- между сигналом SYNC~2 и ПЛИС – 750 пс.

Заметим, что 300 пс \approx 1,8 дюйма проводника печатной платы.

Прежде чем рассматривать вариации, обусловленные джиттером и разными параметрами PVT, обратимся к временным соотношениям, показанным на рисунке 17. На этом рисунке наихудший тайминг наблюдается при захвате сигнала SYNC~2 на входе ПЛИС.

В результате суммирования задержки распространения DCLK2, задержки распространения SYNC~2 и задержки синхронизации на выводе SYNC~2 остается 600 пс на время установления для захвата на входе ПЛИС.

Однако после суммирования времени установления, джиттера и вариаций PVT временной бюджет легко может быть превышен (см. рис. 18). В этом примере время установления составляет 500 пс, вариации PVT (на выходе SYNC~ и двух выводах тактовых сигналов) в сумме составляют 300 пс, а джиттер сигналов DCLK и SYNC~ равен 150 пс. При поступлении последнего сигнала SYNC~ (SYNC~2) происходит нарушение отпущенного лимита времени.

С помощью рисунка 18 можно отрегулировать длину проводника или фазу тактового сигнала для корректного тайминга. Однако по мере увеличения частоты DCLK выполнение требований к временным соотношениям затрудняется в еще большей мере, чем в случае системы подкласса 1, поскольку

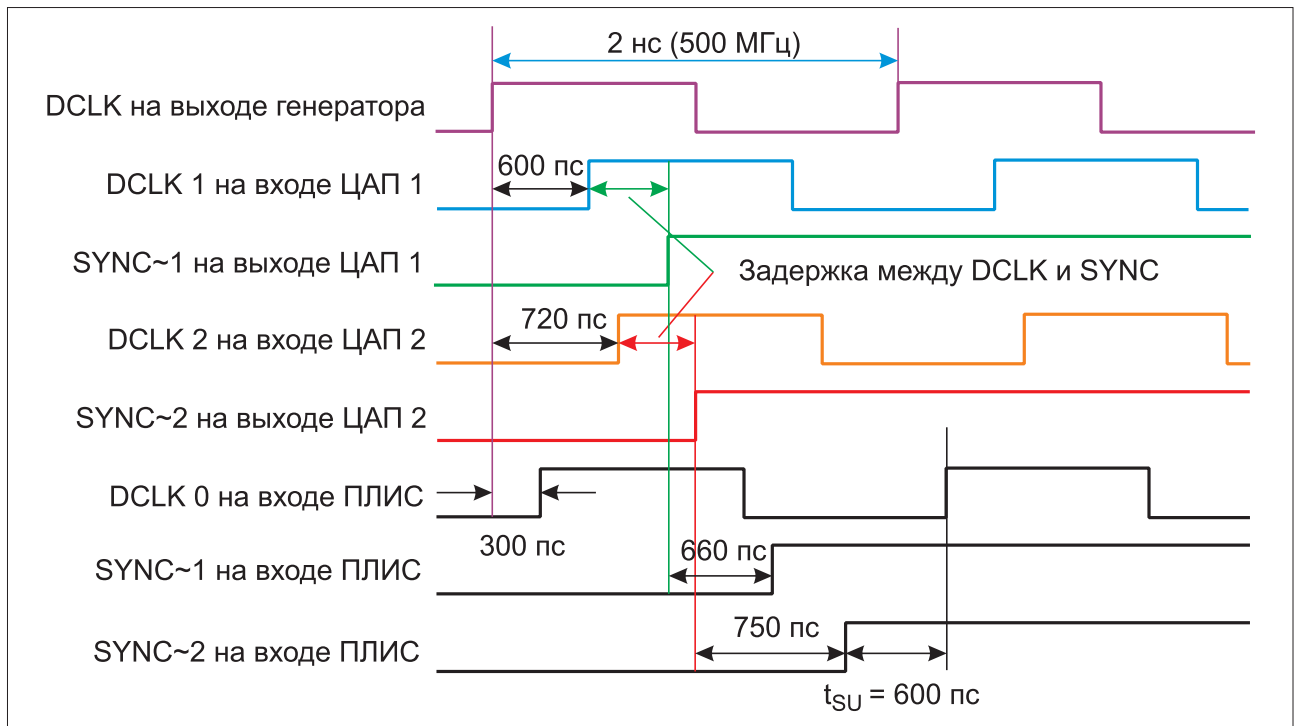


Рис. 17. Временные соотношения между сигналами SYNC~/DCLK в приложении с несколькими ЦАП подкласса 2

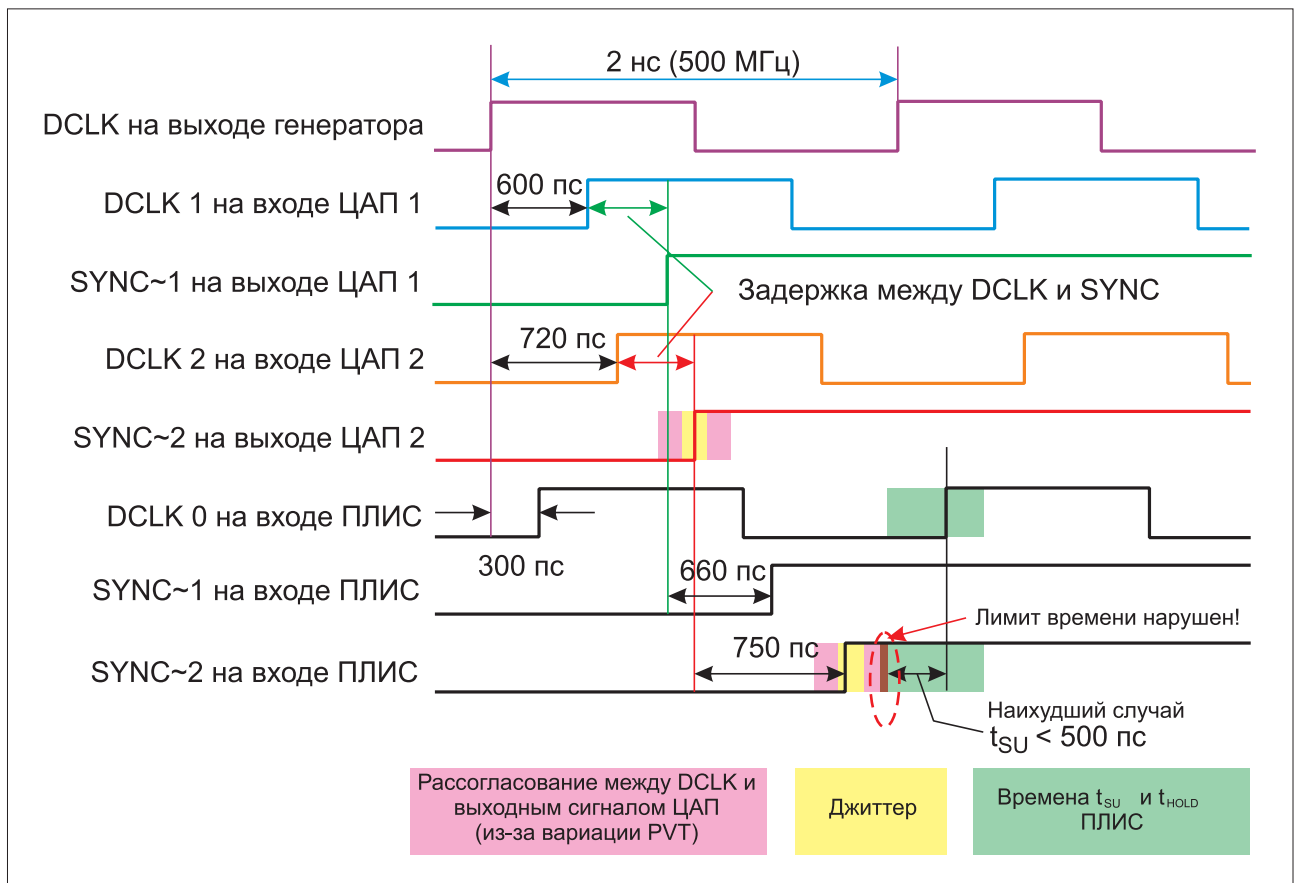


Рис. 18. Нарушение временных соотношений между сигналами SYNC~/DCLK в приложении с несколькими ЦАП подкласса 2

Таблица. Временные переменные, влияющие на величину DLU в системе подкласса 2

Приложение	Переменная 1	Переменная 2	Переменная 3	Переменная 4	Переменная 5
Один преобразователь	Задержка на выходе между тактовым сигналом и SYNC~	t_{SU} и t_{HOLD} на АЦП	$t_{PD_SYNC~}$ (задержка при распространении SYNC~ между передатчиком и приемником)	DS_{DCLK}	
Несколько преобразователей	Задержка на выходе между тактовым сигналом и SYNC~	t_{SU} и t_{HOLD} на АЦП	$t_{PD_SYNC~}$ (задержка при распространении SYNC~ между передатчиком и приемником)	DS_{DCLK}	$DS_{SYNC~}$

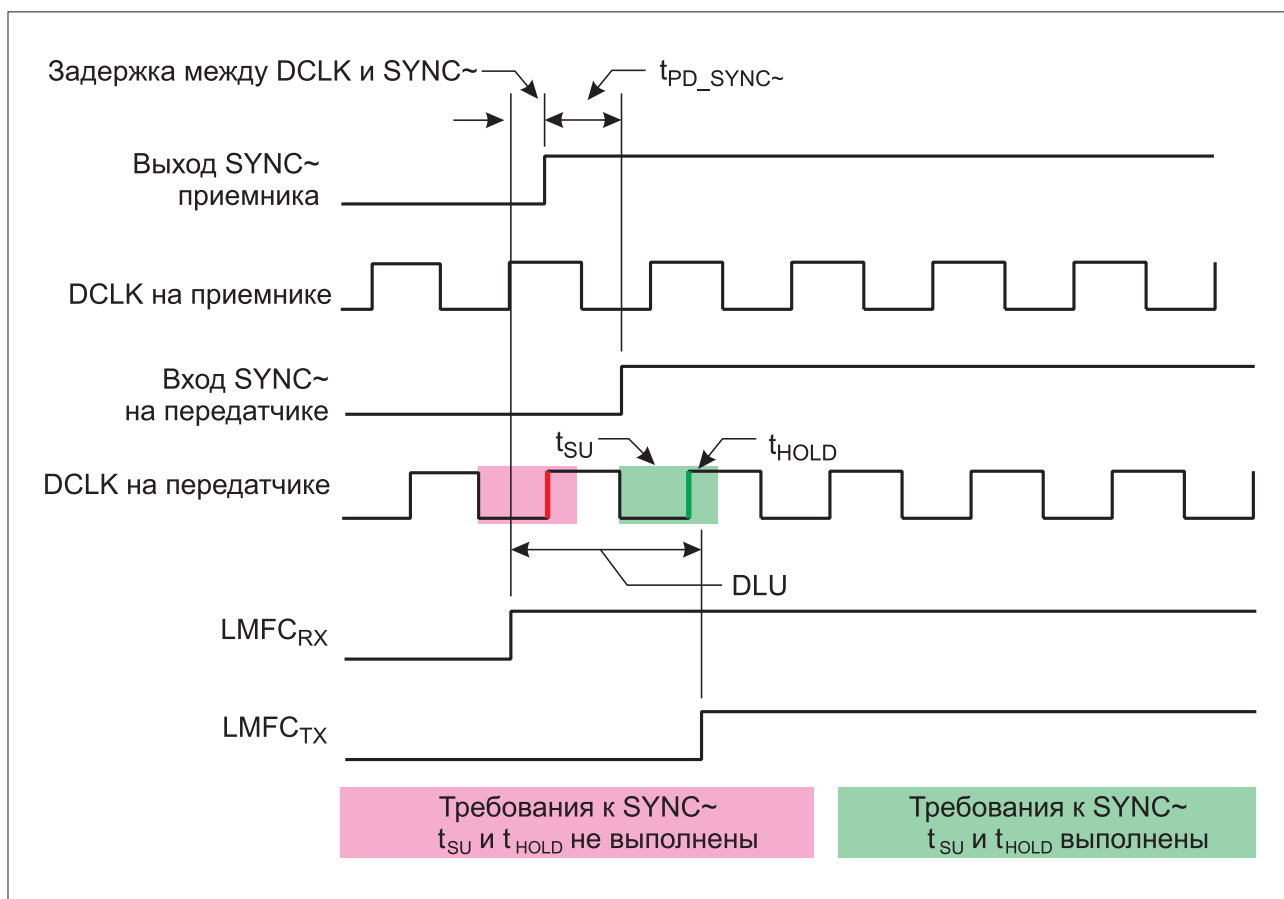


Рис. 19. Временные соотношения при захвате сигнала SYNC~ в приложении с одним преобразователем подкласса 2: величина DLU в наилучшем случае

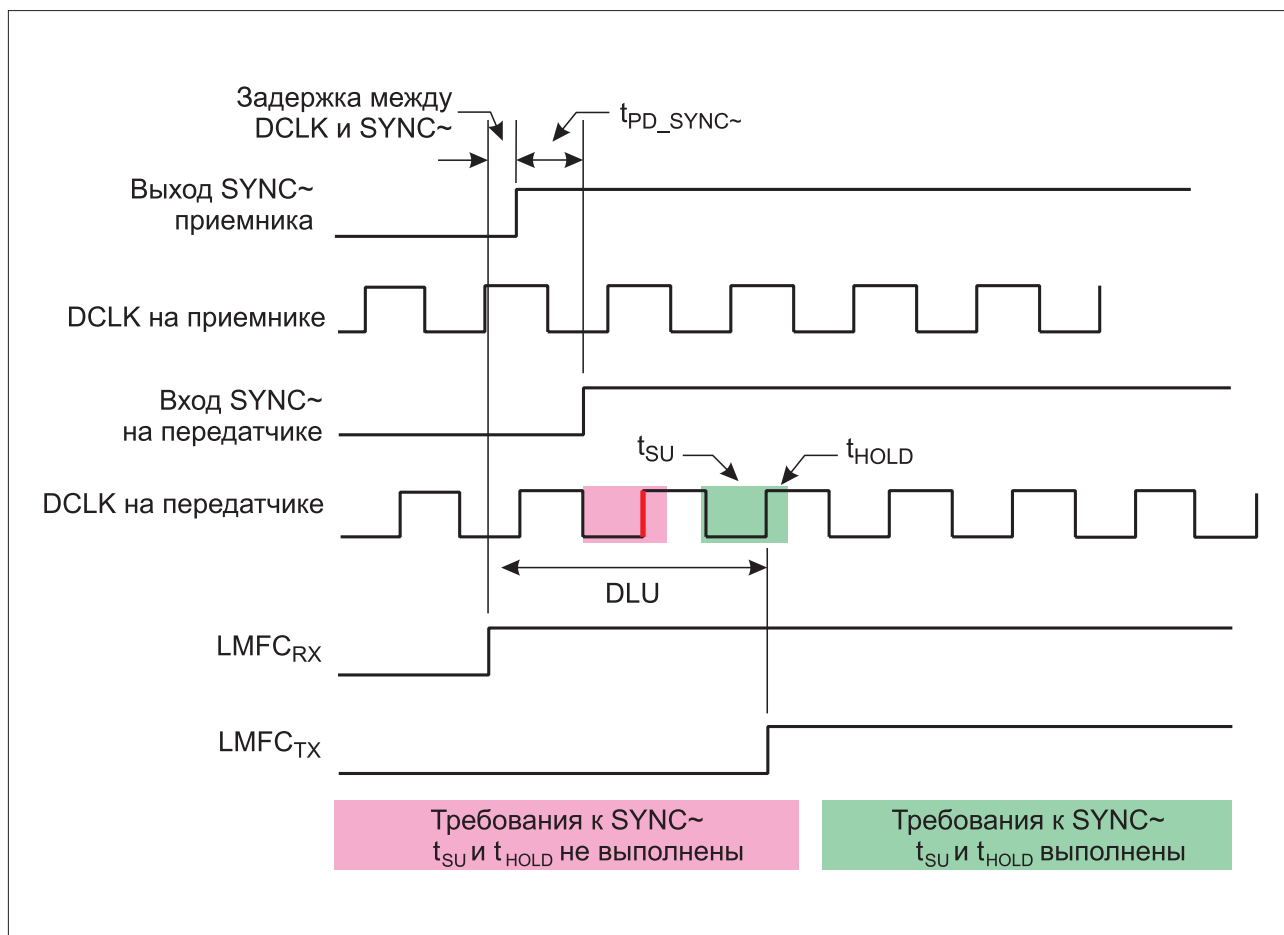


Рис. 20. Временные соотношения при захвате сигнала SYNC~ в приложении с одним преобразователем подкласса 2: величина DLU в наихудшем случае

необходимо учитывать большее количество переменных. В разделе 6.4 стандарта JESD204B подробно рассматривается вопрос синхронизации при захвате сигнала SYNC~.

Неопределенность детерминированной задержки в подклассе 2

Как и в случае с подклассом 1, временные ограничения определяются допуском приложения на неопределенность детерминированной задержки. В таблице перечислены переменные, которые учитываются при синхронизации устройств подкласса 2 для расчета величины системной DLU.

(И в этом случае для простоты изложения концепции DLU мы не рассматриваем джиттер и вариации параметров, обусловленные различиями в техпроцессах, изменениями напряжения и температуры).

Величина DLU в системе подкласса 2 определяется соотношением между $t_{\text{CLK-to-SYNC}}$, $t_{\text{PD_SYNC~}}$ (задержкой при распространении SYNC~ между передатчиком и приемником) и t_{SU} , а также рассинхронизацией при распределении тактовых импульсов устройства (DS_{DCLK}) в системе. В приложении с одним преобразователем наилучшее значение DLU определяется следующим уравнением (см. рис. 19):

$$DLU = DS_{\text{DCLK}} = t_{\text{CLK-to-SYNC}} + t_{\text{PD_SYNC~}} + t_{\text{SU}}$$

На рисунке 19 время t_{SU} равно половине t_{DCLK} , а t_{HOLD} – четверти t_{DCLK} . Из рисунка видно, что DCLK смещен для соответствия задержке между DCLK и SYNC~ и задержке распространения SYNC~, удовлетворяя требованию ко времени установления.

Неопределенность детерминированной задержки в системе с одним преобразователем подкласса 2 может стать наихудшей, если сигнал DCLK в передатчике недостаточно смещен, что нарушает время установления первого фронта захвата (см. рис. 20):

$$DS_{\text{DCLK}} < t_{\text{CLK-to-SYNC}} + t_{\text{SU}} + t_{\text{PD_SYNC~}}$$


$$DLU = t_{\text{CLK-to-SYNC}} + t_{\text{PD_SYNC~}} + t_{\text{SU}} + t_{\text{DCLK}}$$

КАКОЙ ПОДКЛАСС ЛУЧШЕ ПОДОЙДЕТ ДЛЯ РАЗРАБАТЫВАЕМОГО ПРИЛОЖЕНИЯ?

Выбор подкласса для системы JESD204B зависит от потребности в детерминированной задержке, точности ее обеспечения и требований к тактовому сигналу устройства для проектируемой системы.

Если необходимость в детерминированной задержке отсутствует, лучше и проще всего реализовать систему подкласса 0. Даже если в системе с несколькими преобразователями необходимо синхронизировать выборки ото всех (или некоторых) преобразователей, это требование реализуется с помощью метода отметки времени, поддерживаемого, например, АЦП AD9625 и AD9680.

Учитывая поддержку подклассом 1 очень высоких тактовых частот, на которых работают современные преобразователи, эксплуатация этого решения сопровождается наименьшим риском. Устройства подкласса 1 также используются на меньшей тактовой частоте. Если она ниже 500 МГц, соблюдение временных требований достигается достаточно просто без регулировки фазы тактового сигнала.

Устройства подкласса 2 также используются на частотах ниже 500 МГц. Небольшое преимущество подкласса 2 на более низких скоростях состоит в меньшем количестве операций ввода-вывода на логическом устройстве и в исключении необходимости заниматься трассировкой SYSREF для каждого устройства JESD204B. 

ЛИТЕРАТУРА

1. JEDEC Standard JESD204B. JEDEC Solid State Technology Association, July 2011.